

DERWENT-ACC-NO: 1987-062200
DERWENT-WEEK: 198709
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Forming alignment mark to position IC wafer - by
placing corrosion
resistant member on part of mark and dry etching

PATENT-ASSIGNEE: NIPPON TELEGRAPH & TELEPHONE CORP[NITE]

PRIORITY-DATA: 1985JP-0158781 (July 18, 1985)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 62018714 A	January 27, 1987	N/A
005	N/A	

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP62018714A	N/A	1985JP-0158781
July 18, 1985		

INT-CL_(IPC): C23F004/00; H01L021/30

ABSTRACTED-PUB-NO: JP62018714A

BASIC-ABSTRACT: Forming alignment mark comprises placing a
corrosion-resistance
member on only a part of alignment mark with a high
reflectivity to the light
and dry-etching the mark to lower its reflectivity except
the part.

USE - For making semiconductor ICs. /4

TITLE-TERMS:

FORMING ALIGN MARK POSITION IC WAFER PLACE CORROSION
RESISTANCE MEMBER PART
MARK DRY ETCH

ADDL-INDEXING-TERMS:

INTEGRATE CIRCUIT

DERWENT-CLASS: L03 U11

CPI-CODES: L04-C06; L04-C07;

EPI-CODES: U11-C04B1;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1987-026261

Non-CPI Secondary Accession Numbers: N1987-046988

CLIPPEDIMAGE= JP362018714A
PAT-NO: JP362018714A
DOCUMENT-IDENTIFIER: JP 62018714 A
TITLE: FORMING METHOD FOR ALIGNMENT MARK

PUBN-DATE: January 27, 1987

INVENTOR-INFORMATION:

NAME

DEGUCHI, KIMIKICHI
KOMATSU, KAZUHIKO
ODA, MASATOSHI
HIRATA, KAZUO

ASSIGNEE-INFORMATION:

NAME

NIPPON TELEGR & TELEPH CORP <NTT>

COUNTRY

N/A

APPL-NO: JP60158781

APPL-DATE: July 18, 1985

INT-CL_(IPC): H01L021/30; C23F004/00 ; H01L021/302

US-CL-CURRENT: 438/975

ABSTRACT:

PURPOSE: To obtain a high optical contrast in simply forming steps by providing a resist having corrosion resistance by a dry etching method only on a portion to have a high reflectivity, and etching by the dry etching method.

CONSTITUTION: A resist 15 having corrosion resistance is coated by a dry etching method on a semiconductor substrate 10 to form a resist pattern 24 of an alignment mark pattern and portions 23-a, 23-b having no resist. The pattern 24 is so formed in size as to have a high reflecting portion of the alignment mark and the portions 23-a, 23-b are so formed in size as to be equal to the low reflecting portion of the mark. When dry etching by utilizing a high frequency glow discharge, the portions 23-a, 23-b are

filled with
ultrafine square- sectional conical projection groups 25-a,
25-b. Then, the
resist 15 is removed. According to the above method, the
alignment mark having
high contrast can be simply formed.

COPYRIGHT: (C)1987,JPO&Japio

⑫ 公開特許公報(A)

昭62-18714

⑤ Int. Cl.⁴H 01 L 21/30
C 23 F 4/00
H 01 L 21/302

識別記号

庁内整理番号

Z-7376-5F
A-6793-4K
A-8223-5F

⑬ 公開 昭和62年(1987)1月27日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 アライメントマークの形成方法

⑰ 特 願 昭60-158781

⑱ 出 願 昭60(1985)7月18日

⑲ 発 明 者 出 口 公 吉 厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑲ 発 明 者 小 松 一 彦 厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑲ 発 明 者 小 田 政 利 厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑲ 発 明 者 平 田 一 雄 厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

アライメントマークの形成方法

2. 特許請求の範囲

光に対して高反射率を有する部分と低反射率を有する部分から構成され、これら两部分により反射される反射光を検出して、これら两部分が形成された基板の位置決め制御を行うためのアライメントマークの形成方法において、高反射率となすべき部分にのみプラズマを利用したドライエッチング法に耐食性を有する部材を設けて、該ドライエッチング法によりエッチングし、該アライメントマークの該低反射率となすべき部分に微小な凹凸群を形成することを特徴とするアライメントマークの形成方法。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、半導体集積回路の製造工程において、被露光基板に設けるアライメントマークの形成方法に関するものである。

〔発明の技術的背景とその問題点〕

近年の半導体集積回路の高集積度化に伴い、回路パタンの寸法は微細化をたどっている。このため、回路パタンを半導体基板に転写する露光装置には、高解像性のみならず高アライメント精度が要求されるようになってきた。

従来の露光装置における露光用マスクと被露光基板とのアライメントは、両者のアライメントマークに光を照射して得られる反射光を検出して、両者の相対位置を合わせ込む手法によって行っている。

このようなアライメント装置として、例えば特願昭55-034369号がある。第3図を用いてアライメントマークの検出原理を説明する。同図(a)において1はマスクのアライメントマークで、2-a, 2-bは照明光7に対する高反射部、3は透過部、4は基板10に設けられたウエハのアライメントマークで、5は高反射部、6-a, 6-bは低反射部である。両者のアライメントマークに照明光7を照射して得

られる反射光 8-a, 8-b, 9 を I T V カメラ、C C D カメラ等の受光器で検出すると、同図(b)に示すような電気信号が得られる。11-a, 11-b がマスクアライメントマークに対応する信号、12 がウェハアライメントマークに対応する信号である。この電気信号からマスクとウェハのアライメントマークの相対位置関係を検出して、両者の関係が決められた値を満たすようにマスクとウェハのアライメント装置を制御する。このようなアライメント装置において、アライメント精度を高くするには、マスクとウェハのアライメントマークの検出信号の S N 比を高くすることが要求される。即ち、アライメントマークの光学的コントラストが高いことが要求される。特に、ウェハのアライメントマークの低反射部 6-a, 6-b からの反射光はバックグラウンド 13-a, 13-b となるため、極力小さい値に抑えることが重要となる。そのため、マーク形状を最適化することが望ましい。

14 に形成されたボタン 18, 19 をマスクとして半導体基板 11 に対する等方的エッチング処理としてのプラズマエッチング処理をなし、円弧状断面を有する多数の微小窪みの配列からなる領域 20-a, 20-b を形成し、然る後、エッチングマスク材層 14 を半導体基板 11 より除去し、同図(e)の目的とするアライメントマークを得る。

本アライメントマークは、第3図の低反射部 6-a, 6-b に対応する部分が多数の微小な円弧状ボタン 21-a, 21-b となるため照明光に対する反射率が低下する。これに対し、第3図の高反射部 5 に対応する部分は平滑面 22 となるのでアライメントマークのコントラストが高くなる。

しかし、上述した従来のアライメントマーク形成方法では、第4図のマスク材層 14 を形成した後、特別なラインアンドスペースレジストボタン 16-a, 16-b を形成する必要がある等工程が複雑となる問題があった。さらに、

このような、コントラストの高いウェハのアライメントマーク及びその製法については、特開昭58-90728号公報に開示されている。第4図を用いてアライメントマークの製法について説明する。先ず、同図(a)の半導体基板 10 の主面上に、 SiO_2 , Si_3N_4 等のマスク材層 14 を形成する。次に、同図(b)に示す如くマスク材層 14 上にフォトレジスト 15 を塗布し、多数のラインアンドスペースレジストボタン 16-a, 16-b と直線レジストボタン 17 を、それぞれ第3図の低反射部 6-a, 6-b、高反射部 5 のサイズに等しくなるようフォトリソグラフィにより形成する。然る後、同図(c)に示す如く、フォトレジストボタンをマスクにマスク材層 14 に対するエッチング処理により、フォトレジストボタンに対応した、多数のラインアンドスペースマスク材層ボタン 18-a, 18-b と直線マスク材層ボタン 19 をマスク材層 14 に形成し、次いでフォトレジスト 15 を除去する。次に、同図(d)に示す如くマスク材層

第4図(e)の円弧状ボタン 21-a, 21-b を得るため、エッチングを最適条件で停止する必要がある。最終判定が難しかった。このエッチングがアンダーあるいはオーバーとなるとアライメントマークのコントラストが低下するため欠陥となる問題があった。このように、エッチング条件にマージンがないため歩留りが高い欠点を有していた。

[発明の目的]

本発明は、被露光基板に設けるアライメントマークの形成方法において、アライメントマークの光学的なコントラストが高く、形成工程が簡便でかつ高い歩留りを有するアライメントマークの形成方法を提供することにある。

[発明の概要]

本発明の特徴は、従来技術で必要とされたエッチングマスク材層及び微小な凹凸群を形成するためのラインアンドスペースレジストボタンを形成することなく、一回のドライエッチングによりアライメントマークを形成できることに

ある。従来のマーク形成技術とは、エッチングマスク材層の形成工程と、これに対するドライエッチング工程及びマスク材層の除去工程を除ける点異なる。

5 [発明の実施例]

本発明は、光に対して高反射率を有する部分と低反射率を有する部分とから構成され、これら两部分により反射される反射光を検出して、

10 行うためのアライメントマークの形成方法において、高反射率となすべき部分にのみプラズマを利用したドライエッチング法に耐食性を有する部材を設けて、該ドライエッチング法によりエッチングし、該アライメントマークの該低

15 反射率となすべき部分に微小な凹凸群を形成するもので、以下図面を参照して詳細に説明する。

実施例 1

第 1 図は第 1 の実施例を説明する概略図である。同図(a)の半導体基板 10 にシリコン単結晶

20 で面方位 (100) のウェハを用いて、その表

~2 μm となる。次に、第 1 図(b)のレジスト 15 を公知の方法で除去すれば第 1 図(c)に示す形状となる。レジストパターン下部 26 は平滑表面のままであるが、エッチング部の突起群 25-a, 25-b は表面が粗面となるため、照明光に対する反射率は極めて小さく黒体に近い表面となる。したがって、本アライメントマークを光学的に検出すると、極めて高いコントラストが得られる。

このように、本発明によれば、第 4 図に示した従来方法に比べ極めて簡便にかつ極めて高いコントラストを有するアライメントマークを形成できる。さらに、従来方法に比べエッチングのマージンが大きいため、歩留りの高いアライメントマークが得られるとともに生産性も大幅に改善できる。

実施例 2

第 2 図は本発明の他の実施例を説明する概略図である。同図(a)の基板 10 に Mo 膜 27 が形成されたウェハに公知の方法にて、実施例 1 と

面にドライエッチング法に耐食性を有するレジスト 15 を塗布し、アライメントマークパタンのレジストパターン 24、レジストのない部分 23-a, 23-b を公知の方法にて形成する。レジストパターン 24 は第 3 図のアライメントマークの高反射部 5 のサイズに、レジストのない部分 23-a, 23-b は第 3 図のアライメントマークの低反射部 6-a, 6-b のサイズにそれぞれ等しくなるように形成する。次に、 CCl_2F_2 をガスとして高周波グロー放電を利用したドライエッチングを施せば、第 1 図(a)のレジストのない部分 23-a, 23-b は、第 1 図(b)の 25-a, 25-b に示す如く微小な四角錐状の突起群で満たされる。このドライエッチング法と形状については、K. ヒラタ著、ドライエッチング・テクノロジー・for 1 μm VLSI 製作 (K. Hirata et, al, Dry Etching Technology for 1 μm VLSI Fabrication), IEEE ED-28 (11) P1323 (1981) に開示されている。その寸法はおおむね底辺 1 μm 、高さ 1

同様にレジスト 15 を塗布し、アライメントマークパタンのレジストパターン 24 およびレジストのない部分 23-a, 23-b を形成する。次に、 CF_4 と O_2 の混合ガスを用いて高周波グロー放電を利用したドライエッチングを施せば、レジストのない部分 23-a, 23-b は同図(b)に示す如く微小な柱状結晶が林立した凹凸群 28-a, 28-b が得られる。このドライエッチング法と形状については、小田等、Mo 膜の結晶構造とプラズマエッチング特性、第 2 回ドライプロセスシンポジウム予稿集 P87 (1980) に開示されている。次でレジスト 15 を公知の方法にて除去すれば同図(c)となる。レジストパターン下部 29 は平滑表面のままであるが、エッチング部の凹凸群 28-a, 28-b は表面が微小な凹凸面となるため光に対する反射率は極めて小さく黒体に近い表面となる。

このように、本発明によれば、Mo のような金属膜に対しても極めて簡便にかつ極めて高いコントラストを有するアライメントマークを形

成できる。

本発明は、以上の実施例に限定されることなく、公知のドライエッチング法を適用すれば種々の材料の表面状態を光学的に反射率の低い微小な凹凸形状になし得るため、その応用範囲は極めて広い。

〔発明の効果〕

以上説明したように本発明によれば、被露光基板に設けるアライメントマークの照明光に対するコントラストを大幅に改善でき、しかも、その形成方法が極めて簡便でかつ極めて高い歩留りが得られる利点を有する。

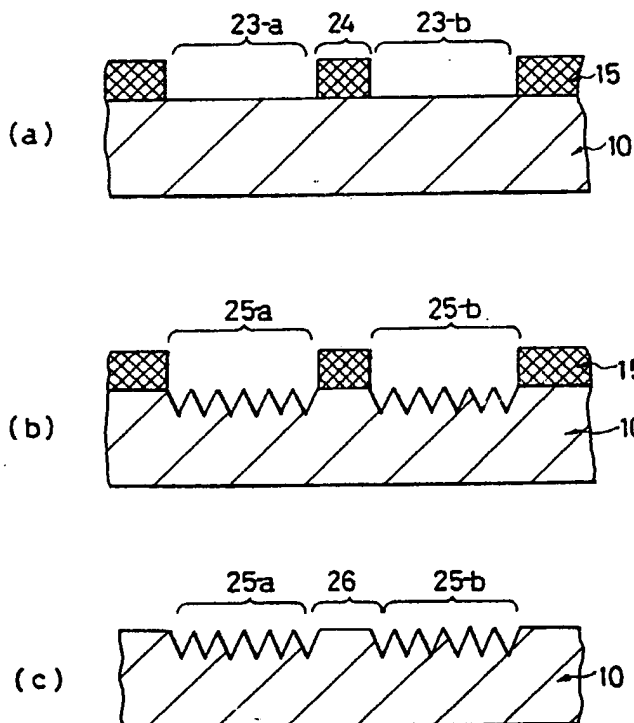
4. 図面の簡単な説明

第1図は本発明の一実施例を示す断面図、第2図は本発明の他の実施例を示す断面図、第3図はアライメントマークの検出原理を説明する図、第4図は従来のアライメントマークの形成方法を説明する断面図である。

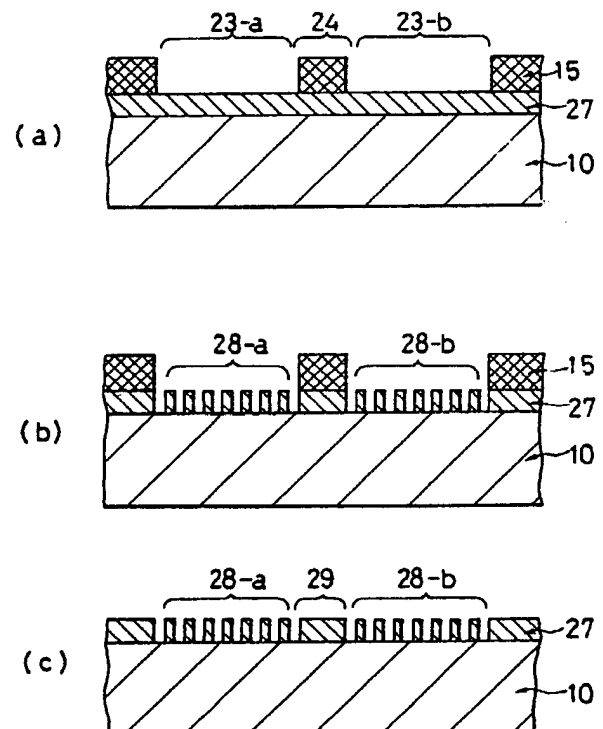
1…マスクのアライメントマーク、2…高反射部、3…透過部、4…ウェハのアライメント

マーク、5…高反射部、6…低反射部、7…照明光、8…マスクマークからの反射光、9…ウェハマークからの反射光、10…基板、11…マスクマークの検出信号、12…ウェハマークの検出信号、13…バックグラウンド、14…マスク材層、15…レジスト、16…ラインアンドスペースレジストパターン、17…直線レジストパターン、18…ラインアンドスペースマスク材層パターン、19…直線マスク材層パターン、20…円弧状断面を有する多数の微小窪みの配列からなる領域、21…円弧状パターン、22…平滑面、23…アライメントマークパターンのレジストのない部分、24…アライメントマークパターンのレジストパターン、25…微小な四角錐状の突起群、26…レジストパターン下部、27…Mo膜、28…微小な柱状結晶が林立した凹凸群、29…レジストパターン下部。

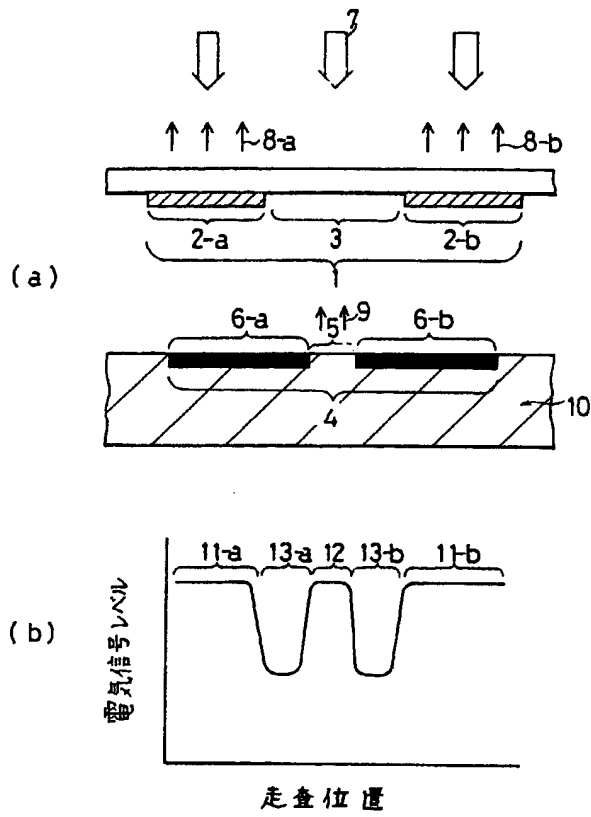
出願人代理人 弁理士 鈴 江 武 彦



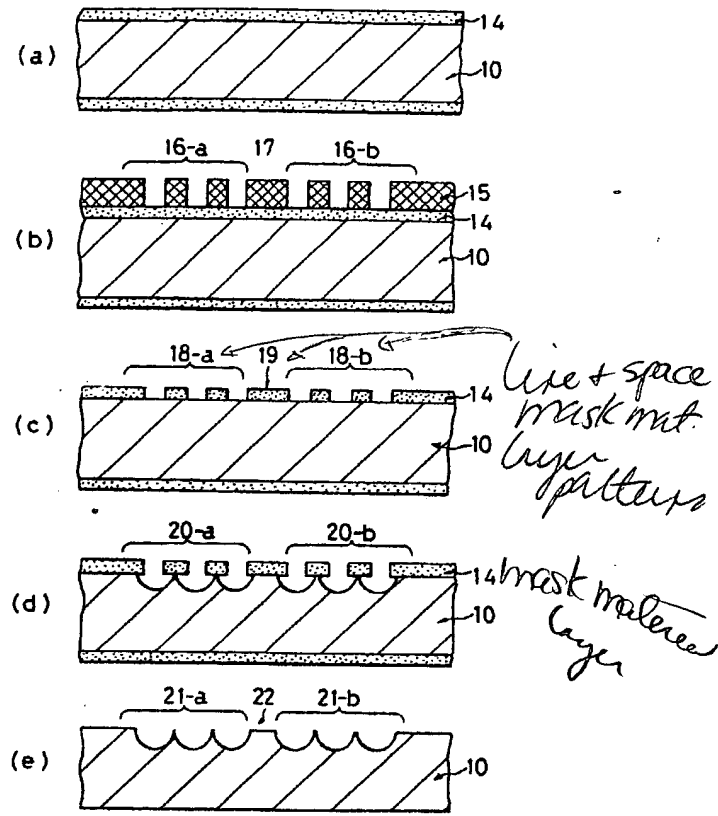
第 1 図



第 2 図



第 3 図



第 4 図